

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-212658

(43)Date of publication of application : 06.08.1999

(51)Int.Cl.

G05F 1/10

G05F 1/00

(21)Application number : 10-025154

(71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 23.01.1998

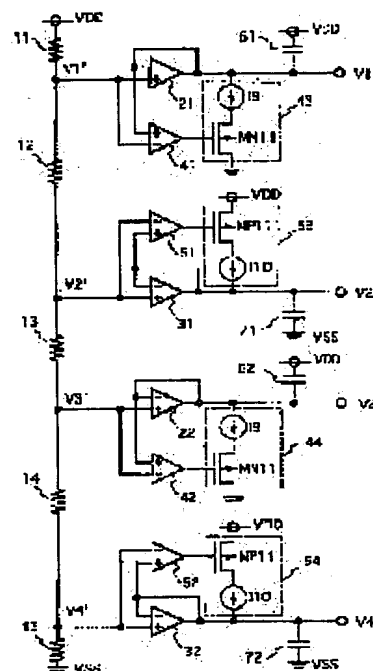
(72)Inventor : YAJIMA AKIRA

(54) DIVIDED VOLTAGE GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To support the driving capability of a voltage follower circuit, with which the impedance conversion of a resistance divided voltage is performed, only as needed.

SOLUTION: On the input side of a voltage follower circuit 21 for outputting a resistance divided voltage V1' as an output voltage V1 through impedance conversion, a comparator 41 for comparing the voltages V1 and V1' and turning its output to 'B' when its difference exceeds a prescribed value is connected and when that output becomes 'H', a current source 19 for suction is connected to a load so that the lack in the sucking capability of the voltage follower circuit 21 can be supported. Thus, since the driving capability is compensated as needed corresponding to the state of the load, the divided voltage can be effectively generated without special invalid power consumption for a capacitive load such as liquid crystal. Besides, since the comparator circuit is provided with intensive offset, the offset of a voltage to be detected can be canceled without using any external circuit and it is suitable for integration.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-212658

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.⁶

識別記号

F I

G 0 5 F 1/10

G 0 5 F 1/10

B

1/00

1/00

N

E

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号

特願平10-25154

(22) 出願日

平成10年(1998) 1月23日

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町 3 番10号

(72) 発明者 矢嶋 昭

東京都豊島区西池袋 1 丁目17番10号 株式

会社エヌ・ジェイ・アールセミコンダクタ
内

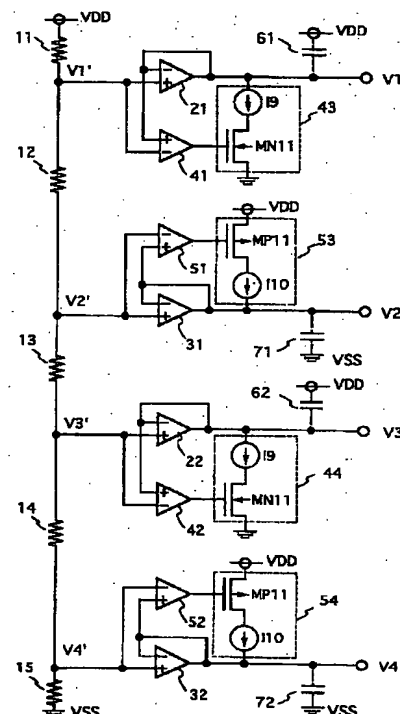
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 分割電圧発生回路

(57) 【要約】

【課題】 抵抗分割電圧のインピーダンス変換を行うボルテージホロワ回路の駆動能力を必要時のみ補うこと。

【解決手段】 抵抗分割電圧 $V1'$ をインピーダンスを変換して出力電圧 $V1$ として出力するボルテージホロワ回路 21 の入力側に、電圧 $V1$ と $V1'$ を比較してその差が所定値を越えると出力を「H」にするコンパレータ回路 41 を接続し、その出力が「H」になったとき負荷に吸込用の電流源 I 9 を接続して、ボルテージホロワ回路 21 の吸込能力の不足を補う。



【特許請求の範囲】

【請求項 1】電源電圧を分割する電圧分割手段と、該分割した電圧をインピーダンス変換して出力するボルテージホロワ回路とを具備する分割電圧発生回路において、前記ボルテージホロワ回路の入出力電圧を比較するコンパレータ回路と、

該コンパレータ回路により前記入出力電圧の差が所定値を超えることが検出されたとき前記ボルテージホロワ回路の出力側に接続されて前記ボルテージホロワ回路の駆動力を補償する補償回路と、

を設けたことを特徴とする分割電圧発生回路。

【請求項 2】前記補償回路が、前記ボルテージホロワ回路の出力回路の電流源の接続された側に並列接続され、該電流源の電流不足を補うことを特徴とする請求項 1 に記載の分割電圧発生回路。

【請求項 3】前記コンパレータ回路の差動入力部の対のトランジスタのサイズバランスを崩してオフセットを設けたことを特徴とする請求項 1 又は 2 に記載の分割電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネル等の負荷を駆動するために、電源電圧を分割して得た電圧をボルテージホロワ回路でインピーダンス変換して取り出す分割電圧発生回路に関するものである。

【0002】

【従来の技術】従来の液晶駆動用分割電圧発生回路として、図 6 に示すように、電源電圧 VDD を複数の抵抗 11 ～ 15 で分割し、これによって得た電圧 V1' ～ V4' を CMOS オペアンプで構成したボルテージホロワ回路 21、22、31、32 によってインピーダンス変換して、負荷変動の影響を極力防止して安定した電圧 V1 ～ V4 を出力するようにしたものがある。

【0003】ボルテージホロワ回路 21、22 を構成する CMOS オペアンプ 20 は、図 4 に示すように、差動増幅回路 201 と出力回路 202 から構成されている。差動増幅回路 201 は、NMOS トランジスタ MN1、MN2 と電流源 I1 による差動回路に PMOS トランジスタ MP1、MP2 によるカレントミラー構成の能動負荷を接続して構成されている。また、出力回路 202 は、PMOS トランジスタ MP3 と電流源 I2 と位相補償用コンデンサ C1 により構成されている。

【0004】ボルテージホロワ回路 31、32 を構成する CMOS オペアンプ 30 は、図 5 に示すように、差動増幅回路 301 と出力回路 302 から構成されている。差動増幅回路 301 は、PMOS トランジスタ MP4、MP5 と電流源 I3 による差動回路に NMOS トランジスタ MN3、MN4 によるカレントミラー構成の能動負荷を接続して構成されている。また、出力回路 302 は、NMOS トランジスタ MN5 と電流源 I4 と位相補

償用コンデンサ C2 により構成されている。

【0005】

【発明が解決しようとする課題】しかしながら、ここで使用しているオペアンプ 20 は、その出力回路 202 の電流源 I2 によって負荷に供給する最大吸込電流の値が制限されるので、その吸込電流を越える電流を要求する負荷が接続されたときに、ボルテージホロワ回路 21、22 が正常に動作しなくなる。また、オペアンプ 30 は、その出力回路 302 の電流源 I4 によって負荷に供給する最大吐出電流の値が制限されるので、その吐出電流を越える電流を要求する負荷が接続されたときに、ボルテージホロワ回路 31、32 が正常に動作しなくなる。このように、負荷の状態如何によっては所望の分割電圧をその負荷に供給することができなくなるという問題があった。

【0006】そこで、電流源 I2、I4 の電流値を大きくすれば駆動能力の問題を解決することはできるが、負荷が液晶のように容量性の場合は、大きな駆動能力が要求されるのは定常的ではなく、瞬時的な負荷の切り替わりのみであるので、無効に消費される電流が増加する点で問題である。

【0007】また、オペアンプ 20、30 の出力回路 202、302 をプッシュプル形式の回路で構成して、負荷に応じて駆動能力を変化させる方法も考えられるが、これを液晶駆動用として分割電圧を発生するためのボルテージホロワに用いるには、入力する電圧によって回路の消費電流が変わってしまう、入力電圧によって負荷駆動によるその応答波形が異なってくる等の問題があるため、液晶駆動用としては不向きであった。

【0008】本発明は以上のような点に鑑みてなされたものであり、その目的は、負荷の状態に応じて要求されるときだけ駆動能力を増大させるようにして、上記問題を解決した分割電圧発生回路を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するための第 1 の発明は、電源電圧を分割する電圧分割手段と、該分割した電圧をインピーダンス変換して出力するボルテージホロワ回路とを具備する分割電圧発生回路において、前記ボルテージホロワ回路の入出力電圧を比較するコンパレータ回路と、該コンパレータ回路により前記入出力電圧の差が所定値を超えることが検出されたとき前記ボルテージホロワ回路の出力側に接続されて前記ボルテージホロワ回路の駆動力を補償する補償回路と、を設けて構成した。第 2 の発明は、第 1 の発明において、前記補償回路が、前記ボルテージホロワ回路の出力回路の電流源の接続された側に並列接続され、該電流源の電流不足を補うよう構成した。第 3 の発明は、第 1 又は第 2 の発明において、前記コンパレータ回路の差動入力部の対のトランジスタのサイズのバランスを崩してオフセットを設けて構成した。

【0010】

【発明の実施の形態】図1は本発明の実施の形態の分割電圧発生回路を示す回路図である。図6に示した回路と同じものには同じ符号を付してその詳しい説明は省略する。41, 42はコンパレータ回路であって、各々、ボルテージホロワ回路21の入力電圧 $V1'$ と出力電圧 $V1$ の差、ボルテージホロワ回路22の入力電圧 $V3'$ と力電圧 $V3$ の差を検出する。また、51, 52もコンパレータ回路であって、各々、ボルテージホロワ回路31の入力電圧 $V2'$ と出力電圧 $V2$ の差、ボルテージホロワ回路32の入力電圧 $V4'$ と力電圧 $V4$ の差を検出する。

【0011】コンパレータ回路41, 42は、図2に示すように、差動増幅回路401と出力回路402から構成されている。差動増幅回路401は、PMOSトランジスタMP6, MP7と電流源I5による差動回路にNMOSトランジスタMN6, MN7によるカレントミラー構成の能動負荷を接続して構成されている。また、出力回路402は、NMOSトランジスタMN8と電流源I6により構成されている。そして、このコンパレータ回路41, 42は、トランジスタMP6, MP7のサイズバランスを意図的に崩してオフセット $Vf1$ を設定し、非反転入力端子の電圧を V^+ 、反転入力端子の電圧を V^- とすると、 $V^+ < (V^- + Vf1)$ のとき出力が「L」レベル、 $V^+ \geq (V^- + Vf1)$ のとき「H」レベルとなるよう設定されている。

【0012】コンパレータ回路51, 52は、図3に示すように、差動増幅回路501と出力回路502から構成されている。差動増幅回路501は、NMOSトランジスタMN9, MN10と電流源I7による差動回路にPMOSトランジスタMP8, MP9によるカレントミラー構成の能動負荷を接続して構成されている。また、出力回路502は、PMOSトランジスタMP10と電流源I8により構成されている。そして、このコンパレータ回路51, 52は、トランジスタMN9, MN10のサイズバランスを意図的に崩してオフセット $Vf2$ を設定し、非反転入力端子の電圧を V^+ 、反転入力端子の電圧を V^- とすると、 $V^+ > (V^- - Vf2)$ のとき出力が「H」レベル、 $V^+ \leq (V^- - Vf2)$ のとき「L」レベルとなるよう設定されている。

【0013】図1に戻って、43, 44はコンパレータ回路41, 42の出力側に接続されて、ボルテージホロワ回路21, 22の吸い込み能力を補償する吸込補償回路であり、コンパレータ回路41, 42の出力で制御されるNMOSトランジスタMN11と電流源I9から構成されている。また、53, 54はコンパレータ回路51, 52の出力側に接続されて、ボルテージホロワ回路31, 32の吐き出し能力を補償する吐出補償回路であり、コンパレータ回路51, 52で制御されるPMOSトランジスタMP11と電流源I10から構成されてい

る。

【0014】次に動作を説明する。前記したように、ボルテージホロワ回路21, 22は吸込能力が吐出能力に比較して劣り、ボルテージホロワ回路31, 32は逆に吐出能力が吸込能力に比較して劣る。

【0015】まず、ボルテージホロワ回路21, 22の出力端子と電源VDDとの間に、無負荷状態から容量性負荷61, 62が接続された場合、出力電圧 $V1$, $V3$ は一度電源VDD側に引き寄せられる。

10 【0016】このとき、 $V1 > V1'$ 、 $V3 > V3'$ となるので、コンパレータ回路41, 42の出力が「H」レベルとなり、吸込補償回路43, 44のトランジスタMN11がオンして、電流源I9が容量性負荷61, 62に接続される。このため、ボルテージホロワ回路21, 22の不足している吸込能力が吸込補償回路43, 44によって補償され、出力電圧 $V1$, $V3$ が入力電圧 $V1$, $V3'$ と同じ電圧に短時間の内に復帰する。

20 【0017】このようにして、出力電圧 $V1$, $V3$ が低下してきて入力電圧 $V1'$, $V3'$ とほぼ同じ $\{V1 < (V1' + Vf1)$ 、 $V2 < (V2' + Vf1)\}$ になると、コンパレータ回路41, 42の出力が「L」レベルに復帰し、吸込補償回路43, 44は回路から切り離され、電流源I9による電流が遮断される。

【0018】一方、ボルテージホロワ回路31, 32の出力端子と電源VSSとの間に、無負荷状態から容量性負荷71, 72が接続された場合、出力電圧 $V2$, $V4$ は一度電源VSS側に引き寄せられる。

30 【0019】このとき、 $V2 < V2'$ 、 $V4 < V4'$ となるので、コンパレータ回路51, 52の出力が「L」レベルとなり、吐出補償回路53, 54のトランジスタMP11がオンして、電流源I10が容量性負荷71, 72に接続される。このため、ボルテージホロワ回路31, 32の不足している吐出能力が吐出補償回路53, 54によって補償され、出力電圧 $V2$, $V4$ が入力電圧 $V2'$, $V4'$ と同じ電圧に短時間の内に復帰する。

40 【0020】このようにして、出力電圧 $V2$, $V4$ が上昇してきて入力電圧 $V2$, $V4'$ とほぼ同じ $\{V2 > (V2' - Vf2)$ 、 $V4 > (V4' - Vf2)\}$ になると、コンパレータ回路51, 52の出力が「H」レベルに復帰し、吐出補償回路53, 54は回路から切り離され、電流源I10による電流が遮断される。

【0021】なお、コンパレータ回路41, 42は、その差動増幅回路401のトランジスタMP6, MP7のサイズバランスを意図的に崩してオフセット $Vf1$ を持たせ、前記したように例えばコンパレータ41では、 $V1 < (V1' + Vf1)$ で出力が「L」レベルとなるようにしているので、ボルテージホロワ回路21, 22と入力側を直接接続しても、互いのオフセットによる誤動作を回避できる。

50 【0022】また、コンパレータ回路51, 52は、そ

5

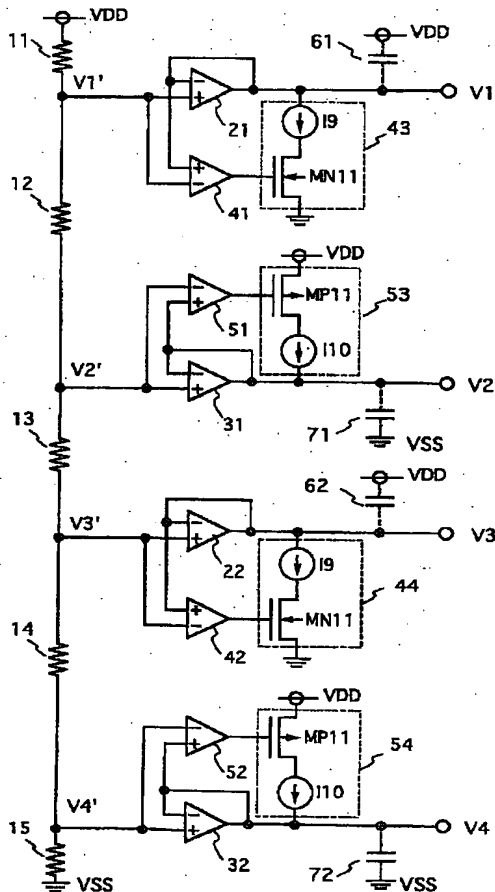
の差動増幅回路501のトランジスタMN9, MN10のサイズバランスを意図的に崩してオフセット V_{f2} を持たせ、前記したように例えばコンパレータ51では、 $V2 > (V2' - V_{f2})$ で出力が「H」レベルとなるようにしているので、ボルテージホロワ回路31, 32と入力側を直接接続しても、互いのオフセットによる誤動作を回避できる。

【0023】

【発明の効果】以上から本発明によれば、負荷の状態に応じて必要なときだけ駆動能力を補償するので、特に液晶のような容量性負荷に対して無効な電力消費を伴うことなく効果的に分割電圧を発生させることができる。また、コンパレータ回路に意図的なオフセットをもうけることにより、被検出電圧のオフセットを外部回路を使用することなくキャンセルすることができ、集積化に好適である。

【図面の簡単な説明】

【図1】



6

【図1】 本実施の形態の分割電圧発生回路の回路図である。

【図2】 コンパレータ回路の回路図である。

【図3】 コンパレータ回路の回路図である。

【図4】 オペアンプの回路図である。

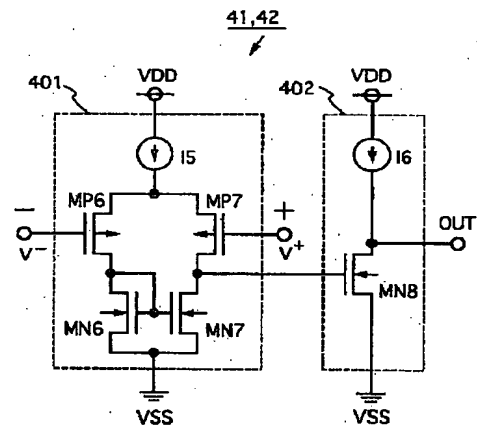
【図5】 オペアンプの回路図である。

【図6】 従来の分割電圧発生回路の回路図である。

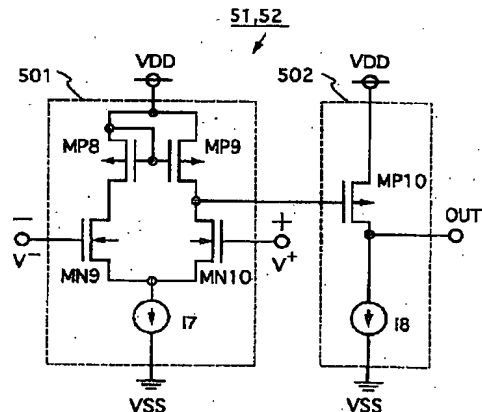
【符号の説明】

11~14: 電圧分割用の抵抗、20: オペアンプ、201: 差動増幅回路、202: 出力回路、21, 22: ボルテージホロワ回路、30: オペアンプ、301: 差動増幅回路、302: 出力回路、31, 32: ボルテージホロワ回路、41, 42: コンパレータ回路、43, 44: 吸込補償回路、401: 差動増幅回路、402: 出力回路、51, 52: コンパレータ回路、53, 54: 吐出補償回路、501: 差動増幅回路、502: 出力回路。

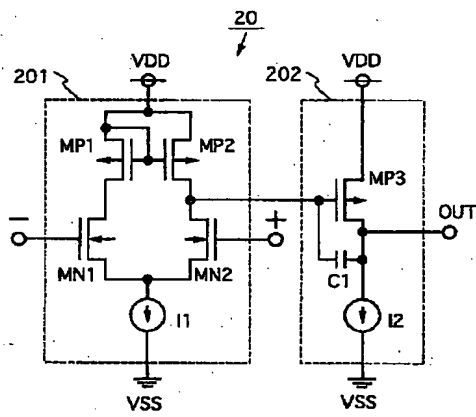
【図2】



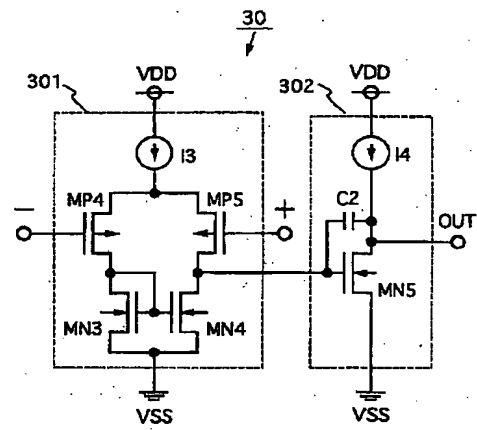
【図3】



【図4】



【図5】



【図6】

